

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-316087

(43)Date of publication of application : 14.11.2000

(51)Int.Cl.

H04N 1/40

G06T 1/00

H04N 1/19

(21)Application number : 11-124031

(71)Applicant : RICOH CO LTD

(22)Date of filing : 30.04.1999

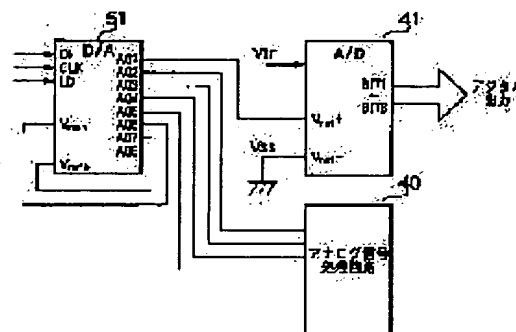
(72)Inventor : WADA SHINICHIRO

(54) IMAGE READER

(57)Abstract:

PROBLEM TO BE SOLVED: To stably obtain a read image with high image quality by allowing a D/A converter setting a conversion use reference signal (conversion parameter) to adjust the setting value at a maximum dynamic range in the case of digitizing an image signal from an image sensor so as to enhance digital conversion accuracy and accuracy of various level correction of the image signal conducted at the same time with this adjustment.

SOLUTION: A setting value outputted from a D/A converter 51 is used for offset and gain adjustment for an analog signal processing circuit 40 processing an image signal and for reference signal adjustment of an A/D convert 41. The D/A converter 51 to which a fed back digital output from the A/D converter 41 is inputted as a DI outputs setting values from A01-A05 on the basis of reference voltages Vrefl, Vrefb that can be adjusted externally. The reference voltages Vrefl, Vrefb are set again on the basis of a maximum value and a minimum value of the output of the A/D converter 41 obtained by correcting various levels by using the reference voltages Vrefl, Vrefb for the initial values to adjust the setting values at the maximum dynamic range.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-316087

(P2000-316087A)

(43) 公開日 平成12年11月14日 (2000. 11. 14)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)	
H 0 4 N 1/40		H 0 4 N 1/40	1 0 3 B	5 B 0 4 7
G 0 6 T 1/00		G 0 6 F 15/64	4 0 0 J	5 C 0 7 2
H 0 4 N 1/19		H 0 4 N 1/04	1 0 3 E	5 C 0 7 7

審査請求 未請求 請求項の数 7 O L (全 8 頁)

(21) 出願番号 特願平11-124031

(22) 出願日 平成11年4月30日 (1999. 4. 30)

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 和田 真一郎

東京都大田区中馬込1丁目3番6号株式会社リコー内

(74) 代理人 100110319

弁理士 根本 恵司

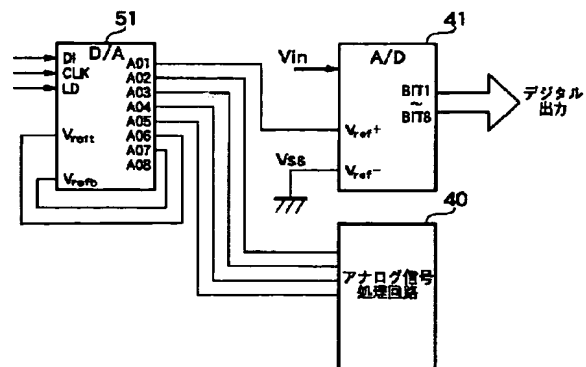
最終頁に続く

(54) 【発明の名称】 画像読取装置

(57) 【要約】

【課題】 イメージセンサからの画像信号をデジタル化する際、変換用の基準信号(変換パラメータ)を設定するD/Aコンバータが最大のダイナミックレンジで設定値の調整を行うようにし、デジタル変換の精度と、この調整と同時に行う画像信号の各種レベル補正の精度を高め、高画質の読取画像を安定して得る。

【解決手段】 画像信号を処理するアナログ信号処理回路40のオフセット、ゲイン調整とADC41の基準信号調整をDAC51から出力される設定値により行う。ADC41のデジタル出力がフィードバックしDIとし入力されるDAC51では、外部から電圧調整できる基準電圧V_{ref1}、V_{refb}に基づきA01~A05から設定値を出力する。V_{ref1}、V_{refb}を初期値とし各種レベル補正をした場合に得られるADC41出力の最大値、最小値を基にV_{ref1}、V_{refb}を再設定し最大のダイナミックレンジで設定値の調整を行う。



【特許請求の範囲】

【請求項1】 イメージセンサと、該イメージセンサから出力されるアナログ画像信号を、可変に設定されるパラメータ値に基づき処理・変換する画像信号処理手段と、該画像信号処理手段の動作を制御する制御手段とを有する画像読取装置において、前記制御手段は、ダイナミックレンジが制御可能なD/Aコンバータを備え、該D/Aコンバータにより前記画像信号処理手段において設定されるパラメータ値を調整することを特徴とする画像読取装置。

【請求項2】 前記画像信号処理手段は、前記イメージセンサから出力されるアナログ画像信号を、可変に設定されるリファレンス信号値に基づきA/D変換するA/Dコンバータを有するとともに、該A/Dコンバータにおけるリファレンス信号の設定値が前記D/Aコンバータにより調整されることを特徴とする請求項1記載の画像読取装置。

【請求項3】 前記画像信号処理手段は、前記イメージセンサから出力されるアナログ画像信号を、可変に設定される処理パラメータに基づき処理するアナログ信号処理回路を有するとともに、該アナログ信号処理回路における処理パラメータの設定値が前記D/Aコンバータにより調整されることを特徴とする請求項1又は2記載の画像読取装置。

【請求項4】 前記D/Aコンバータは、前記A/Dコンバータから出力されるデジタル出力に基づいてダイナミックレンジが制御されることを特徴とする請求項1乃至3のいずれかに記載の画像読取装置。

【請求項5】 前記D/Aコンバータのダイナミックレンジの制御は、D/A変換に用いるリファレンス信号の設定値を調整することにより行うことを特徴とする請求項1乃至4のいずれかに記載の画像読取装置。

【請求項6】 前記D/Aコンバータは、その出力に基づき前記A/Dコンバータにおけるリファレンス信号の設定値を調整することにより、画像信号のグレイバランス補正を行うことを特徴とする請求項2乃至5のいずれかに記載の画像読取装置。

【請求項7】 前記D/Aコンバータは、その出力に基づき前記アナログ信号処理回路における処理パラメータの設定値を調整することにより、画像信号の黒レベル補正及び/又は白レベル補正を行うことを特徴とする請求項3乃至6のいずれかに記載の画像読取装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ラインイメージセンサの走査により原稿を読み取る画像読取装置に関し、より詳細には、ラインイメージセンサからの画像信号出力のアナログ処理及びA/D変換処理に用いる基準信号のレベルをセンサ出力に応じて調整することにより、処理後の画像信号出力の精度を上げるようにした画像読取

装置に関する。

【0002】

【従来の技術】従来から、複写機、スキャナ等において、画像入力を画像読み取り装置のラインイメージセンサ(CCD)により行い、CCDで読み取った画像信号に光源の光量分布、CCDの感度分布を補正するシェーディング補正、等の補正を施している。デジタル機の場合、通常、これらの処理はCCDからのアナログ出力をA/D変換した後にデジタル化した段階で行われるため、量子化誤差のため分解能の低下が避けられない。こうしたことに対処するため、A/D変換する時点で分解能を下げる要因となるオフセットを取り、利得をできるだけ最適な状態にし、又、A/D変換する場合にも原稿の下地の影響を除去して画像を高分解能(高階調)のデジタル値で出力させる必要がある。

【0003】原稿の下地の影響を除去して読み取るべき画像を高分解能のデジタル値で出力させる技術として提案された従来の1例は、A/Dコンバータの基準電圧を変化させることによるものである。これは、A/Dコンバータの基準電圧を固定電圧と設定電圧とをスイッチで切り替えるようにするもので、原稿を1枚だけ読み取る場合は、スイッチは固定電圧を選択し、自動原稿送り装置により順次読み取り位置に搬送されてくる原稿を読み取る場合は、スイッチはアナログ回路構成により設定される可変電圧を選択して画像出力に応じて変化させ画像濃度を適正に自動調整できるようにしている。

【0004】従来のもう1つの例は、A/D変換用の基準信号の自動設定を上記と異なる方法により行うもので、A/Dコンバータからの出力のピーク値を検出するピークホールド回路を設け、この回路により検出されたピーク値がA/D変換のフルスケールとなるようにA/D変換用の基準信号を制御し、読み取るべき画像の高分解能デジタル出力を確保するものである。従って、この例では、A/Dコンバータからのデジタル出力をデジタル回路系で処理した後に、最終段にD/Aコンバータを設け、アナログ値に変えてこれをA/D変換用の基準信号としてA/Dコンバータへ入力している。この様に行われるA/Dコンバータの基準信号を調整する際のA/Dコンバータ及びD/Aコンバータの動作を、以下に、より詳細に説明する。

【0005】図8は、A/Dコンバータの概略構成を示す図である。図示のように、A/Dコンバータ41は、1つのアナログ入力端子Vinと、複数分の、例えば8ビット分の、デジタル出力端子BIT0~BIT7と、A/D変換のタイミングを決めるクロック端子CLKと、A/D変換用の上下の基準電圧を決める端子として上限用端子Vref⁺(最大値として電源電圧VCCをとる)と、下限用端子Vref⁻(通常、グランド電圧VSSをとる)とを有する。A/Dコンバータ41からのデジタル出力の総和： $\sum BIT_i$ は、VinとVref⁺、Vref⁻に

よって決まり、デジタル出力のフルスケールをFSとすれば、

$$\Sigma B I T i = F S \times (V_{in} - V_{ref}^-) / (V_{ref}^+ - V_{ref}^-) \cdots (1)$$

として、表され、8ビットの分解能(i=8)で、Vref⁻をグラウンドとすれば、Vref⁻=0、FS=255であるから、上記式(1)は、

$$\Sigma B I T i = 255 \times V_{in} / V_{ref}^+ \cdots (2)$$

となる。つまり、VinとVref⁺の比率によりデジタル出力の総和が決定される。基準電圧上限値なるVref⁺の電圧値の設定が、Vinより低いと、その場合のVinによるデジタル出力はフルスケールなる255を出力してしまうことになり、かといって、Vinに対して高すぎると階調を無駄にしてしまう。従って、Vref⁺の値は、Vinのとり得る最大値に等しくなるように設定するのが望ましい。これを自動で設定するために、A/Dコンバータ41のデジタル出力のピークホールドを行い、保持されたピーク値をD/Aコンバータに入力することによりピーク値に応じたアナログ値をVref⁺として設定する。

【0006】図9は、D/Aコンバータの概略構成を示す図である。図示のように、D/Aコンバータ51は、電源VCCにつながる入力端子Vref⁺、グラウンドVSSにつながる入力端子Vref^bの他に、シリアルデータ入力端子DI、シフトクロック入力端子CLK、LD入力端子および、複数分、例えば8チャンネル分、のアナログ出力端子A01~A08が設けられている。上限用端子Vref⁺には、部品精度、経時、環境等が要因となつてばらつきが生じることがあるために一定値の電圧VCCがかかっており、それは、通常VCC=5(V)とされている。シリアルデータ入力端子DIには、データ長が12ビットのシリアルデータが入力される。シリアルデータの下位8ビットは出力電圧のレベル設定用で上位4ビットがアドレス選択用となる。シフトクロック入力端子CLKから入力されるシフトクロックの立ち上がりでDI入力端子からの入力信号が12ビットシフトレジスタに入力される。LD入力端子にHighレベルが入力されると、12ビットシフトレジスタに保持されているデータの値が出力用レジスタにセットされる。この従来例の回路構成において、固定された電圧値をとるVref⁺が5(V)で、Vref^bがGNDで0(V)であるとする、上記式(2)におけるVref⁺は5(V)となり、Vinは5(V)に対する割合でデジタル化される。従って、データ1ステップあたりの電圧は、5(mV)/255、即ち約20(mV)となる。

【0007】

【発明が解決しようとする課題】しかしながら、上記したA/Dコンバータの基準電圧の調整において、第一の例のように、アナログ回路構成の系で基準電圧を設定している場合、系が不安定になりやい。例えば、電源にノイズが混入した場合、特にパルス上の一定周期を持つノ

イズが混入した場合には、増幅器とのノイズ抑圧効果が著しく減少し、出力にもノイズが混入することになる。また、周囲条件によってもノイズが混入することになり、このようなノイズが混入し得るような不安定な状態でピークホールド又はサンプルホールドにてA/D変換器用の基準電圧値を決定しているため、系全体の安定性も損なわれる物となる。さらには、温度によるレベル変動が生じ得るため、長時間にわたって次第に画像劣化が生じることになる。また、第二の例では、高画質が要求されてくると補正の精度も要求され、D/Aコンバータの基準信号Vrefを一定値(5(V))に固定したので、D/Aコンバータのダイナミックレンジが足りなくなり、A/D変換器に設定される基準電圧を所望の値に調整することができず、高画質の要求に十分応えることができない。

【0008】本発明は、上記のような従来技術の問題点に鑑みなされたもので、その目的は、イメージセンサからのアナログ画像信号をデジタル化する際に、画像信号の処理・変換に用いる基準信号(処理・変換パラメータ)を設定するD/Aコンバータが最大のダイナミックレンジで設定値の調整を行うようにし、画像信号のデジタル変換の精度を高め、また同時に、処理・変換パラメータを調整することにより行われる画像信号の各種レベル補正の精度を高めることにより高画質の読取画像を安定して得ることを可能とする読取装置を提供することにある。

【0009】

【課題を解決するための手段】請求項1の発明は、イメージセンサと、該イメージセンサから出力されるアナログ画像信号を、可変に設定されるパラメータ値に基づき処理・変換する画像信号処理手段と、該画像信号処理手段の動作を制御する制御手段とを有する画像読取装置において、前記制御手段は、ダイナミックレンジが制御可能なD/Aコンバータを備え、該D/Aコンバータにより前記画像信号処理手段において設定されるパラメータ値を調整することを特徴とする画像読取装置を構成する。

【0010】請求項2の発明は、請求項1記載の画像読取装置において、前記画像信号処理手段は、前記イメージセンサから出力されるアナログ画像信号を、可変に設定されるリファレンス信号値に基づきA/D変換するA/Dコンバータを有するとともに、該A/Dコンバータにおけるリファレンス信号の設定値が前記D/Aコンバータにより調整されることを特徴とするものである。

【0011】請求項3の発明は、請求項1又は2記載の画像読取装置において、前記画像信号処理手段は、前記イメージセンサから出力されるアナログ画像信号を、可

変に設定される処理パラメータに基づき処理するアナログ信号処理回路を有するとともに、該アナログ信号処理回路における処理パラメータの設定値が前記D/Aコンバータにより調整されることを特徴とするものである。

【0012】請求項4の発明は、請求項1乃至3のいずれかに記載の画像読取装置において、前記D/Aコンバータは、前記A/Dコンバータから出力されるデジタル出力に基づいてダイナミックレンジが制御されることを特徴とするものである。

【0013】請求項5の発明は、請求項1乃至4のいずれかに記載の画像読取装置において、前記D/Aコンバータのダイナミックレンジの制御は、D/A変換に用いるリファレンス信号の設定値を調整することにより行うことを特徴とするものである。

【0014】請求項6の発明は、請求項2乃至5のいずれかに記載の画像読取装置において、前記D/Aコンバータは、その出力に基づき前記A/Dコンバータにおけるリファレンス信号の設定値を調整することにより、画像信号のグレーバランス補正を行うことを特徴とするものである。

【0015】請求項7の発明は、請求項3乃至6のいずれかに記載の画像読取装置において、前記D/Aコンバータは、その出力に基づき前記アナログ信号処理回路における処理パラメータの設定値を調整することにより、画像信号の黒レベル補正及び／又は白レベル補正を行うことを特徴とするものである。

【0016】

【発明の実施の形態】本発明を添付する図面とともに示す以下の実施例に基づき説明する。図1は、本発明を適用したカラー原稿読取装置の構成の概要を示す図である。まず、図1を参照して本装置の全体構成を説明する。装置は、原稿14を載置するコンタクトガラス1と、原稿露光用のハロゲンランプ2と、第1反射ミラー3を載置した第1キャリッジ6と、第2反射ミラー4及び第3反射ミラー5を載置した第2キャリッジ7と、レンズユニット8によって結像される画像を光電変換する3ライン型カラーCCDイメージセンサ9と、センサボード基板10と、画像信号に各種の処理を施すCCD信号処理基板12と、接続ケーブル11と、読み取り光学系等による各種の歪みを補正するための白基準板15と、これらを装備するスキャナ本体13から構成される。読み取り動作時には、第1キャリッジ6及び第2キャリッジ7はステッピングモータ（図示せず）によって図中の矢印A方向に移動され、コンタクトガラス1上の原稿面を副走査し原稿全面の読み取りを行う。

【0017】図2は、3ライン型カラーCCDイメージセンサ9の受光面を示す図である。各ラインイメージセンサとして分解色R（レッド）、G（グリーン）、B（ブルー）の各色のフィルタをコーティングした縮小型CCDをならべたタイプで、R-CCD16、G-CC

D17、B-CCD18は主走査方向のドット位置が同じく、副走査方向Aに一定間隔ずつずれた配置になっている。従って各色出力が副走査方向Aにディレイをもつのでラインメモリを使った補正が必要となる。図3は、3ライン型カラーCCDイメージセンサ9の回路構成を示すブロック図である。R-CCD16、G-CCD17、B-CCD18はそれぞれの受光部における偶数（EVEN）画素と奇数（ODD）画素により検出された画像信号を分けて各々の信号を保持する2列のレジスタを持ち（即ち、全体ではCCDレジスタ1～6を有する）、駆動パルスに同期してレジスタを駆動することにより、画像信号VRE、VRO、VGE、VGO、VBE、VBOを独立に出力する。

【0018】図4はCCDを駆動するための各種の信号のタイミングの相互関係を示すタイムチャートである。受光部からCCDレジスタに移送するためのシフト信号SHと、CCDレジスタ内を電荷転送するための転送クロックφ1、φ2と、CCD内の出力バッファをリセットするためのパルスφRSと、リセット直後の電気的な黒レベルをクランプするためのφCLPから駆動パルスは一般的に構成される。受光部はシフト信号SHから次のシフト信号SHまでの期間、受光し続ける。この時間を蓄積時間という。転送クロックφ1、φ2は、この蓄積時間内にCCDの全画素を転送できる周波数で、シフト信号SHがアクティブ期間中に転送クロックが動かないことが条件となる。図4に示すVolは、画像出力である。図5は図1のカラー原稿読取装置における信号処理基板12に有する画像処理回路をより詳細に示すブロック図である。信号処理基板12には、アナログ信号処理回路40と、A/D変換回路41と、シェーディング補正回路42と、ライン間補正回路43と、制御回路44と、発振器45を備える。

【0019】画像処理回路の動作を主に図5を参照して説明する。まず、原稿はハロゲンランプ2により照射され、原稿14からの反射光は第1キャリッジ6、第2キャリッジ7を通じてレンズユニット8を通り3ライン型カラーCCDラインセンサ9上に縮小結像し、1ライン毎に読み取られる。読み取られた画像信号を受け取るセンサボード基板10上では、3ライン型カラーCCDラインセンサ9から駆動パルスSHに同期して、画像信号がCCD信号処理基板12に出力される。このアナログ画像信号は、CCD信号処理基板12のアナログ信号処理回路40に入力される。アナログ信号処理回路40では、サンプルホールド回路（図示せず）によって画像信号をそれぞれサンプルパルスによりサンプリングし保持することによって、画像信号を連続したアナログ信号にし、黒レベル補正回路（図示せず）においてCCDの暗出力のレベルを検出し、黒レベルを基準として信号のバラツキを補正し、補正後の画像信号を出力する。また、画像信号は、CCD感度と原稿面照度との関係で決まる

実質光量を補正するためにAGC (Auto Gain Control) がなされる。

【0020】アナログ信号処理回路40から出力されたアナログ信号は、A/D変換回路41によりデジタル信号に変換される。次段のシェーディング補正回路42以降はデジタル処理が行われ、ここでは、ハロゲンランプ2により照射された白基準板15の反射光を3ライン型カラーCCDラインセンサ9で読み取った画像信号に基づいて、所定の濃度のレベルが得られるように、CCDの感度のバラツキや照射系の配光ムラを補正する。ライン間補正回路43では、図2を参照して説明したように3ライン型としたために副走査方向のR、G、B各ライン間に生じるディレイをライン間補正用のメモリを用いて各ラインのずれを補正して、同一位置で読取った画像信号として出力する。制御回路44では、上記した各処理回路、即ちアナログ信号処理回路40、A/D変換回路41、シェーディング補正回路42及びライン間補正回路43の動作を制御する制御信号を生成している。なお、その際に発振器45からのクロックに基づいて系全体の動作や信号のタイミングを調整する。

【0021】CCD信号処理基板12では、3ライン型カラーCCDラインセンサ9からR、G、Bそれぞれについて2系統(ODD、EVEN)のアナログ画像信号VRE、VRO、VGE、VGO、VBE、VBOをアナログ処理回路40で補正して、次段のA/Dコンバータ41でデジタル値に変換し、原稿を実際に読み取るスキャナ部の読み取り動作ができるように初期設定を行う必要があり、そのための制御を行う。この場合、アナログ信号処理回路40で、ODD/EVEN差補正、黒レベル補正(DCオフセット補正)、白レベル補正(ゲインコントロール)を、A/Dコンバータ41ではグレーバランス補正(Vref調整)を行う。本発明において、これらの補正はA/Dコンバータ41のデジタル出力値に基づいて行われ、このデジタル値を入力とするD/Aコンバータから出力されるアナログ値により制御される。また、D/Aコンバータにおける基準電圧を、A/Dコンバータ41のデジタル出力をフィードバックすることにより最大のダイナミックレンジに調整するようにしている。このコントロールにおけるデジタル出力値のフィードバックは、シェーディング補正回路42のデジタル値検出レジスタで保持されているデータを制御回路44のCPU(図示せず)が読み込むことにより行われる。D/Aコンバータへの入力は、12ビット(データ8ビット)のシリアルデータの形式で制御回路44を介して行われる。

【0022】次に、D/AコンバータとD/Aコンバータによりコントロールされるアナログ信号処理回路40及びA/Dコンバータ41よりなる制御系の構成及び制御系による各処理回路における初期設定動作を詳細に説明する。図6は、この制御系の構成を示すブロック図である。制御系は、デジタル値で制御データが入力される

D/Aコンバータ51と、D/Aコンバータ51からのアナログ出力が設定され、設定された値により出力がコントロールされるA/Dコンバータ41及びアナログ信号処理回路40とからなる。D/Aコンバータ51は、外部から電圧が調整できる基準電圧の入力端子Vref、Vrefbの他に、シリアルデータ入力端子DI、シフトクロック入力端子CLK、LD入力端子及び、8チャンネル分のアナログ出力端子A01～A08が設けられている。シリアルデータ入力端子DIには、データ長が12ビットのシリアルデータが入力される。シリアルデータの低位8ビットは出力電圧のレベル設定用で上位4ビットがアドレス選択用となる。シフトクロック入力端子CLKから入力されるシフトクロックの立ち上がりでDI入力端子からの入力信号が12ビットシフトレジスタに入力される。LD入力端子にHighレベルが入力されると、12ビットシフトレジスタに保持されているデータの値が出力用レジスタにセットされる。D/Aコンバータ51の出力電圧Voutは、入力データ:〈DATA〉と、外部から調整できる基準電圧VrefとVrefbにより変わることになり、その関係は以下の式ようになる。

$$V_{out} = V_{refb} + (V_{ref} - V_{refb}) \times \langle DATA \rangle / 255$$

【0023】図7は、上記の制御系により行われる各処理回路の初期設定動作のフローチャートを示す。図7を参照して、初期設定動作を以下に説明する。なお、説明文中に括弧書きで図7のステップ番号を参照のために付記する。初期設定のスタート時に、D/Aコンバータ51の基準電圧VrefとVrefbに初期値を設定する(S1)。ここでは、Vref=5(V)、Vrefb=0(V)とする。図6の構成をとる場合、アナログ出力端子A06のチャンネルに〈DATA〉=255、A07のチャンネルに〈DATA〉=0を設定することにより、この基準電圧が設定可能になされる。このときの1ステップあたりの電圧は、(5-0)/255(V)となり、約20(mV)となる。

【0024】この条件で、出力端子A02・A03からの出力を調整してアナログ信号処理回路40にその値を設定することにより、黒レベル補正(DCオフセット補正)を行い(S2)、出力端子A04・A05からの出力を調整してその値で白レベル補正(ゲインコントロール)を行う(S3)。また、出力端子A01からの出力を調整してその値をA/Dコンバータ41のVrefに設定することにより、グレーバランス補正(Vref調整)を行う。次に、最大のダイナミックレンジに調整する手順として、入力値〈DATA〉によって設定されたA01～A05によって得られる最大値、最小値を求め、最大値を少し越える値を出力端子A06(Vref)に設定し、最小値より少し小さい値を出力端子A07(Vrefb)に再設定する(S5)。ここで、例えば、A01～A05までの設定に係わる〈DATA〉の最大値が200

(約3.92(V))、最小値が100(約1.96(V))である場合に、出力端子A06の $V_{refb}=4.0$ (V)、を出力端子A07の $V_{refb}=1.9$ (V)となるように設定する。この設定によると、1ステップあたりの電圧は、 $(4-1.9)/255$ (V)となり、約8(mV)となりダイナミックレンジが広がり、より精度の高い補正が可能となる。

【0025】この状態で、また、先に行ったステップS2～S4を繰り返し、即ち出力端子A02・A03からの出力を調整して黒レベル補正(DCオフセット補正)を行い(S7)、出力端子A04・A05からの出力を調整して白レベル補正(ゲインコントロール)を行い(S8)、出力端子A01からの出力を調整してグレーバランス補正(V_{ref} 調整)を行う(S9)。このように、D/Aコンバータを各補正ごとに割り当てることにより、一層ダイナミックレンジを広げることができ、また、安定した調整動作によって、精度の高い補正が可能となり、高画質の読み取り画像を得ることができる。なお、本実施例の説明では、3ライン型カラーCCDイメージセンサを用いた場合で説明したが、もちろん白黒の場合にも適用できる。

【0026】

【発明の効果】(1) 本発明によると、イメージセンサからの画像信号をデジタル化する際、A/Dコンバータにおけるリファレンス信号(変換パラメータ)及びA/Dコンバータの前段に設けたアナログ画像信号処理手段における処理パラメータ(DCオフセット、ゲイン)の設定を行うD/Aコンバータのダイナミックレンジを制御するようにし、最大のダイナミックレンジで設定値の調整を行うことを可能としたことにより、デジタル変換の精度と、この調整によって同時に行われる画像信号の各種レベル補正の精度を高め、高画質の読取画像を安定して得ることができる。

【0027】(2) 上記(1)の効果に加えて、A/Dコンバータから出力されるデジタル出力に基づいてD/Aコンバータのダイナミックレンジを制御する、つまり、画像信号のA/D変換結果をフィードバックしD/Aコンバータのダイナミックレンジを制御することにより、最適なレンジ調整を自動的にを行い、デジタル変換の精度と、この調整によって同時に行われる画像信号の各種レベル補正の精度をさらに高め、高画質の読取画像を安定して得ることができる。また、D/Aコンバータのダイナミックレンジの制御を具体化する場合に、A/Dコンバータにおける画像信号のA/D変換後のデジタル出力に従いD/A変換に用いるリファレンス信号(基準

信号)の設定値を調整することにより簡単な手段で実現できる。

【0028】(3) 上記(1)、(2)の効果に加えて、D/Aコンバータにおいて、D/A変換に用いるリファレンス信号(基準信号)を、さらには画像信号のA/D変換後のデジタル出力を、可変値として設定・入力することにより、アナログ変換後の各出力チャンネルにA/Dコンバータ、アナログ信号処理回路においてそれぞれ設定値として用いる変換パラメータあるいは処理パラメータを出力することが可能で、A/Dコンバータでは画像信号のグレーバランス補正を行うように、また、アナログ信号処理回路では画像信号の黒レベル補正及び/又は白レベル補正を行うようにし、イメージセンサからの画像信号をデジタル化の際にこうした画像信号の補正が同時にすることができるので、高画質の読取画像を安定して得ることができる。

【図面の簡単な説明】

【図1】本発明を適用したカラー原稿読取装置の構成の概要を示す図である。

【図2】3ライン型カラーCCDイメージセンサ9の受光面を示す図である。

【図3】3ライン型カラーCCDイメージセンサの回路構成を示すブロック図である。

【図4】CCDを駆動するための各種の信号のタイミングの相互関係を示すタイムチャートである。

【図5】図1のカラー原稿読取装置の信号処理基板に有する画像処理回路をより詳細に示すブロック図である。

【図6】D/Aコンバータによりコントロールされるアナログ信号処理回路及びA/Dコンバータの構成を示すブロック図である。

【図7】図6の制御系により行われる各処理回路の初期設定動作のフローチャートを示す。

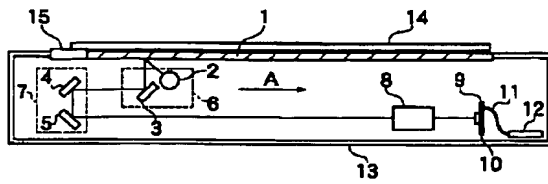
【図8】基準信号が可変設定可能な従来のA/Dコンバータの概略構成を示す図である。

【図9】A/Dコンバータの基準信号の設定に用いる従来のD/Aコンバータの概略構成を示す図である。

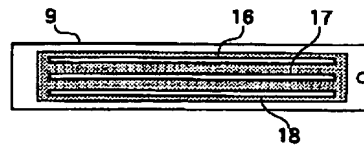
【符号の説明】

9…3ライン型カラーCCDイメージセンサ、10…センサボード基板、12…CCD信号処理基板、14…原稿、15…白基準板、40…アナログ信号処理回路、41…A/D変換回路、42…シェーディング補正回路、43…ライン間補正回路、44…制御回路、45…発振器、51…D/A変換回路(コンバータ)。

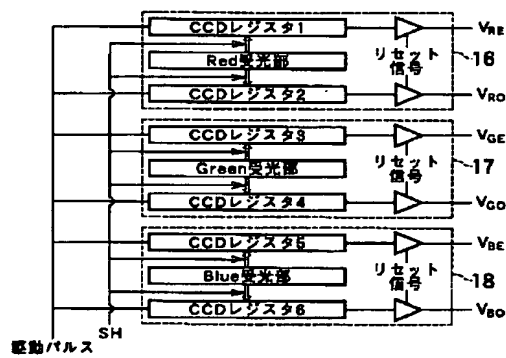
【図1】



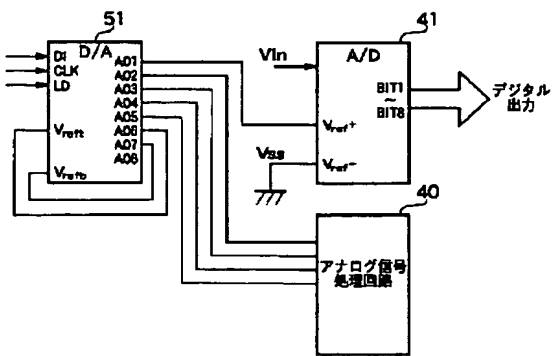
【図2】



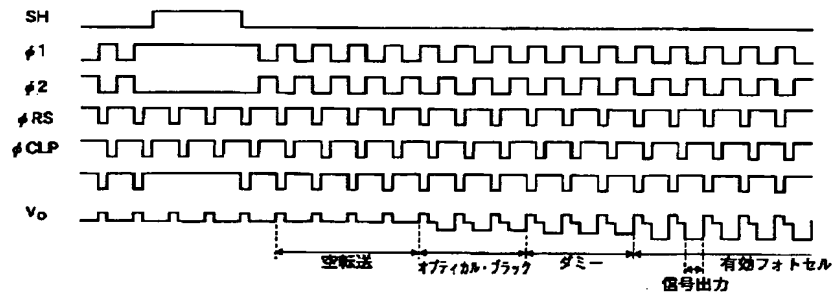
【図3】



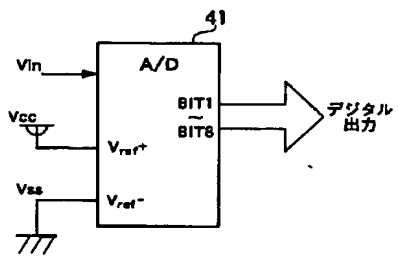
【図6】



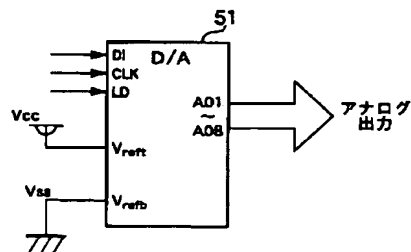
【図4】



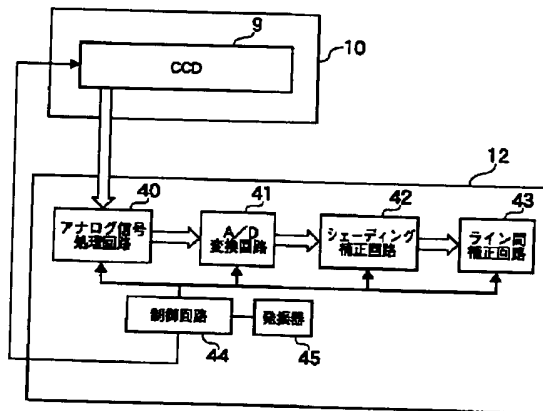
【図8】



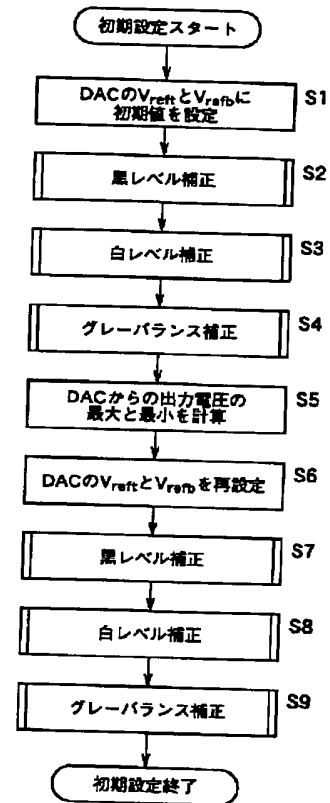
【図9】



【図5】



【図7】



フロントページの続き

F ターム(参考) 5B047 AA01 AB02 BA02 BB02 BC05
 BC09 BC11 DA01 DB01 DB05
 5C072 AA01 BA17 EA05 FB17 FB18
 LA15 RA16 UA03 UA06
 5C077 LL19 MM03 MP06 NN02 NP03
 PP06 PP07 PP09 PP11 PP12
 PP43 PP44 PP45 PQ03 PQ08
 RR01 RR05 RR15 RR18 SS01

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☒ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)